

PAT-NO: JP02001085642A

DOCUMENT-IDENTIFIER: JP 2001085642 A

TITLE: SEMICONDUCTOR DEVICE AND FABRICATION  
METHOD THEREOF

PUBN-DATE: March 30, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
SONE, SHUJI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP11354407

APPL-DATE: December 14, 1999

PRIORITY-DATA: 11196063 ( July 9, 1999)

INT-CL (IPC): H01L027/108, H01L021/8242 , C23C014/08 ,  
C23C016/30 , H01L027/04  
                  , H01L021/822 , H01L027/10

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent increase of resistance or decrease of adhesion at an electrode part by employing a crystal grain layer of columnar structure and a multilayer crystal grain layer of mass structure in at least one of a pair of electrode films.

SOLUTION: A thermally oxidized SiO<sub>2</sub> interlayer insulation film 2 is formed on an Si semiconductor substrate on which an MOS transistor is formed and then an opening reaching the diffusion layer of the MOS transistor is made in the interlayer insulation film and filled with a poly-Si contact plug 3. A TiSi<sub>2</sub> layer 4 and a TiN layer 5 are formed sequentially, as barrier layers, on the contact plug. Subsequently, a Pt layer 6 of mass structure crystal grain and a Pt layer 7 of columnar structure crystal grain constituting a lower electrode film are deposited thereon followed by deposition of a PZT layer 8 as a thin film of oxide dielectric. Finally, a Pt layer is formed as an upper electrode film and patterning is carried out to form a thin film capacitor constituting an FeRAM.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85642

(P2001-85642A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 2 1 Z 4 K 0 2 9
21/8242		C 2 3 C 14/08	K 4 K 0 3 0
C 2 3 C 14/08		16/30	5 F 0 3 8
16/30		H 0 1 L 27/10	4 5 1 5 F 0 8 3
H 0 1 L 27/04		27/04	C
審査請求 有 請求項の数38 O L (全 12 頁) 最終頁に続く			

(21) 出願番号 特願平11-354407

(22) 出願日 平成11年12月14日 (1999. 12. 14)

(31) 優先権主張番号 特願平11-196063

(32) 優先日 平成11年7月9日 (1999. 7. 9)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 曾祢 修次

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

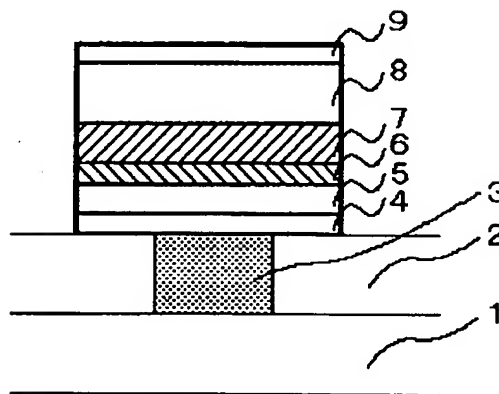
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】良好な酸素バリア性と電流導通性が両立された電極膜を備えた半導体装置を提供すること。

【解決手段】下部電極膜を、塊状構造の結晶粒層6と柱状構造の結晶粒層7よりなる結晶粒積層構造とする。また、バリア層を10atm%以上50atm%以下の窒素を含む窒化タンタルよりなる塊状構造の結晶粒層とする。



## 【特許請求の範囲】

【請求項1】 酸化物誘電体薄膜および該酸化物誘電体薄膜を挟持する一対の電極膜からなる薄膜キャパシタを備える半導体装置であって、前記一対の電極膜の少なくとも一方が、柱状構造の結晶粒層および塊状構造の結晶粒層を含む結晶粒積層構造よりなることを特徴とする半導体装置。

【請求項2】 半導体基板上に形成されたMOS型トランジスタと、前記MOS型トランジスタ上に形成された層間絶縁膜と、前記層間絶縁膜中に設けられ、前記MOS型トランジスタに含まれる拡散層と接続するコンタクトプラグと、前記コンタクトプラグ上に形成された下部電極膜と、前記下部電極膜上に形成された酸化物誘電体薄膜と、前記酸化物誘電体薄膜上に形成された上部電極膜とを備える半導体装置であって、前記下部電極膜は、柱状構造の結晶粒層および塊状構造の結晶粒層を含む結晶粒積層構造よりなることを特徴とする半導体装置。

【請求項3】 前記下部電極膜と前記コンタクトプラグの間に、バリア層を具備することを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記柱状構造の結晶粒層を構成する結晶粒の平均粒径が、10nm以上500nm以下であることを特徴とする請求項1乃至3いずれかに記載の半導体装置。

【請求項5】 前記塊状構造の結晶粒層を構成する結晶粒の平均粒径が、1nm以上30nm以下であることを特徴とする請求項1乃至4いずれかに記載の半導体装置。

【請求項6】 前記結晶粒積層構造に含まれる、前記酸化物誘電体薄膜と接する結晶粒層は、柱状構造であることを特徴とする請求項1乃至5いずれかに記載の半導体装置。

【請求項7】 前記酸化物誘電体薄膜は、ペロブスカイト系酸化物または酸化タンタルからなることを特徴とする請求項1乃至6いずれかに記載の半導体装置。

【請求項8】 前記電極膜の少なくとも一方は、窒化タンタルからなることを特徴とする請求項1乃至7いずれかに記載の半導体装置。

【請求項9】 柱状構造の結晶粒層および塊状構造の結晶粒層を含む、結晶粒積層構造よりなる電極膜を形成するにあたって、柱状構造の結晶粒層を、スパッタリング法またはCVD (Chemical Vapor Deposition) 法により作成する工程と、塊状構造の結晶粒層を、スパッタリング法またはCVD法により作成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 前記電極膜用の材料として窒化タンタルを用い、反応性スパッタリング法により、塊状構造の結晶粒層を形成する工程を含むことを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 酸化物誘電体薄膜および該酸化物誘電体薄膜を挟持する一対の電極膜からなる薄膜キャパシタと、該電極膜の少なくとも一方に接続されるコンタクトプラグと、該電極膜および該コンタクトプラグの間に形成されたバリア層とを備える半導体装置であって、前記バリア層は10atm%以上50atm%以下の窒素を含む窒化タンタルよりなる塊状構造の結晶粒層であることを特徴とする半導体装置。

【請求項12】 前記バリア層の塊状構造の結晶粒層を構成する結晶粒の平均粒径が、1nm以上30nm以下であることを特徴とする請求項11に記載の半導体装置。

【請求項13】 前記電極膜のうち、少なくともコンタクトプラグに接続されている電極膜が、柱状構造の結晶粒層および塊状構造の結晶粒層を含む結晶粒積層構造よりなることを特徴とする請求項11又は12に記載の半導体装置。

【請求項14】 前記電極膜の柱状構造の結晶粒層を構成する結晶粒の平均粒径が、10nm以上500nm以下であることを特徴とする請求項13に記載の半導体装置。

【請求項15】 前記電極膜の塊状構造の結晶粒層を構成する結晶粒の平均粒径が、1nm以上30nm以下であることを特徴とする請求項13又は14に記載の半導体装置。

【請求項16】 前記結晶粒積層構造に含まれる、前記酸化物誘電体薄膜と接する結晶粒層は、柱状構造であることを特徴とする請求項13乃至15いずれかに記載の半導体装置。

【請求項17】 前記酸化物誘電体薄膜は、ペロブスカイト系酸化物からなることを特徴とする請求項1乃至16いずれかに記載の半導体装置。

【請求項18】 前記酸化物誘電体薄膜は、 $ABO_3$ 型ペロブスカイト系酸化物（ここでAはBa、Sr、Pb、La、2価金属のうちより選ばれた一種類以上の元素を表し、BはTi、Zr、4価金属のうちより選ばれた一種類以上の元素を表す）、 $Ta_2O_5$ 、 $SrBi_2Ta_2O_9$ または $Bi_4Ti_3O_{12}$ からなることを特徴とする請求項11乃至16いずれかに記載の半導体装置。

【請求項19】 前記電極膜の少なくとも一方は、Ru、Pt、IrまたはWよりなることを特徴とする請求項11乃至18いずれかに記載の半導体装置。

【請求項20】 前記電極膜の少なくとも一方は、導電性ペロブスカイト系酸化物よりなることを特徴とする請求項11乃至19いずれかに記載の半導体装置。

【請求項21】 前記導電性ペロブスカイト系酸化物は、 $SrRuO_3$ 又は $BaRuO_3$ であることを特徴とする請求項20に記載の半導体装置。

【請求項22】 前記コンタクトプラグおよび前記バリア層の間にはシリサイド膜が形成されていることを特徴

とする請求項11乃至21いずれかに記載の半導体装置。

【請求項23】 前記シリサイド膜は $TaSi_2$ であることを特徴とする請求項22に記載の半導体装置。

【請求項24】 半導体基板上に形成されたMOS型トランジスタと、前記MOS型トランジスタ上に形成された層間絶縁膜と、前記層間絶縁膜中に設けられ、前記MOS型トランジスタに含まれる拡散層と接続するコンタクトプラグと、前記コンタクトプラグ上に形成されたバリア層と、前記バリア層上に形成された下部電極膜と、前記下部電極膜上に形成された酸化物誘電体薄膜と、前記酸化物誘電体薄膜上に形成された上部電極膜とを備える半導体装置であって、前記バリア層は10atm%以上50atm%以下の窒素を含む窒化タンタルよりなる塊状構造の結晶粒層であることを特徴とする半導体装置。

【請求項25】 前記バリア層の塊状構造の結晶粒層を構成する結晶粒の平均粒径が、1nm以上30nm以下であることを特徴とする請求項24に記載の半導体装置。

【請求項26】 前記コンタクトプラグは、前記層間絶縁膜中に設けられ前記拡散層に達するコンタクトホール内に埋め込まれていることを特徴とする請求項24又は25に記載の半導体装置。

【請求項27】 前記下部電極膜は、柱状構造の結晶粒層および塊状構造の結晶粒層を含む結晶粒積層構造よりなることを特徴とする請求項24乃至26いずれかに記載の半導体装置。

【請求項28】 前記電極膜の柱状構造の結晶粒層を構成する結晶粒の平均粒径が、10nm以上500nm以下であることを特徴とする請求項27に記載の半導体装置。

【請求項29】 前記電極膜の塊状構造の結晶粒層を構成する結晶粒の平均粒径が、1nm以上30nm以下であることを特徴とする請求項27又は28に記載の半導体装置。

【請求項30】 前記結晶粒積層構造に含まれる、前記酸化物誘電体薄膜と接する結晶粒層は、柱状構造であることを特徴とする請求項27乃至29いずれかに記載の半導体装置。

【請求項31】 前記酸化物誘電体薄膜は、ペロブスカイト系酸化物からなることを特徴とする請求項24乃至30いずれかに記載の半導体装置。

【請求項32】 前記酸化物誘電体薄膜は、 $ABO_3$ 型ペロブスカイト系酸化物（ここでAはBa、Sr、Pb、La、2価金属のうちより選ばれた一種以上、BはTi、Zr、4価金属のうちより選ばれた一種以上の元素を表し、Ta<sub>2</sub>O<sub>5</sub>、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>またはBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>からなることを特徴とする請求項24乃至30いずれかに記載の半導体装置。

【請求項33】 前記電極膜の少なくとも一方は、Ru、Pt、IrまたはWよりなることを特徴とする請求項24乃至32いずれかに記載の半導体装置。

【請求項34】 前記電極膜の少なくとも一方は、導電性ペロブスカイト系酸化物よりなることを特徴とする請求項24乃至33いずれかに記載の半導体装置。

【請求項35】 前記導電性ペロブスカイト系酸化物は、 $SrRuO_3$ 又は $BaRuO_3$ であることを特徴とする請求項34に記載の半導体装置。

10 【請求項36】 前記コンタクトプラグおよび前記バリア層の間にはシリサイド膜が形成されていることを特徴とする請求項24乃至35いずれかに記載の半導体装置。

【請求項37】 前記シリサイド膜は $TaSi_2$ であることを特徴とする請求項36に記載の半導体装置。

【請求項38】 窒化タンタルの塊状構造の結晶粒層よりなるバリア層を、ArおよびN<sub>2</sub>を含む混合ガスを用いて反応性スパッタリング法により形成する工程を含むことを特徴とする半導体装置の製造方法。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高誘電体材料より構成される強誘電体キャパシタや強誘電体メモリを具備する半導体装置に関するものである。

【0002】

【従来の技術】半導体装置は年々その集積度を高めており、そこで使用される回路は微細化の一途をたどっている。これに伴い、キャパシタはその容量を保持したまま、実効面積を小さくすることが要求されており、キャパシタの膜厚を小さくするか、キャパシタを構成する材料として高誘電体材料を用いることが求められている。膜厚に関しては、絶縁破壊に近い電界強度となる限界の薄膜化がすでに行われており、これ以上の薄膜化は不可能である。したがって、高誘電体材料の使用が必要不可欠となっている。

【0003】高誘電体材料とは、従来のキャパシタで使用されてきたSiO<sub>2</sub>やSi<sub>3</sub>N<sub>4</sub>より比誘電率の大きい材料を意味している。これらは一般に酸化物誘電体で、開発の初期には、Ta<sub>2</sub>O<sub>5</sub>などの単金属酸化物が検討された。最近では、SrTiO<sub>3</sub>、Ba<sub>1-x</sub>Sr<sub>x</sub>TiO<sub>3</sub> (BST)、PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub> (PZT)、Pb<sub>1-y</sub>La<sub>y</sub>Zr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub> (PLZT)、そしてSrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>などのペロブスカイト系酸化物誘電体が研究されており、これが実現すれば、従来のキャパシタに比して、500倍以上の容量が確保できる。

【0004】特に強誘電体メモリを形成する場合は、PZTなどの高誘電体材料を用いることにより、外部電圧を遮断しても情報の消失のない強誘電体不揮発性メモリ (FeRAM) の作製が可能なることから、注目を集めている。強誘電体材料は自発分極を有しており、それが電

界によって反転できる性質をもつ。これは、強誘電体材料が一般に $ABO_3$ ペロブスカイト（ここで、AはBa、Sr、Pb、La、2価金属のうちより選ばれた一種類以上の元素を表し、BはTi、Zr、4価金属のうちより選ばれた一種類以上の元素を表す）構造をとるため、Bサイトの原子の位置を別の安定点に移すには逆向きの電界を印加する必要があるためである。このため、強誘電体材料はヒステリシス特性を示し、電界が0の場合でも残留分極が保持され、メモリとして好適に使用されることが期待される。

#### 【0005】

【発明が解決しようとする課題】ところが上記の酸化物誘電体を用いてキャパシタやメモリを作成した場合、以下のような課題があった。

【0006】第一の課題は、酸化物誘電体の成膜が、酸化雰囲気中で行われることに起因する。酸化物誘電体の成膜はゾルゲル法、スパッタリング法、CVD (Chemical Vapor Deposition) 法などによりおこなわれる。ゾルゲル法の場合、酸化物誘電体を構成する金属化合物のゲルを基板上にスピン塗布、乾燥後、酸化物誘電体を結晶化させるため高温熱処理を行うが、この熱処理は、酸素の欠損を防ぐために、酸化雰囲気中で行われる。スパッタリング法の場合は、酸素を含むプラズマ中でおこなわれる、いわゆる反応性スパッタリングの形式が取られる。また、CVD法では、熱、プラズマ、光などのエネルギーを利用して行われるが、これらの工程も、酸素の欠損を防ぐために、酸化雰囲気中で行われる。

【0007】強誘電体キャパシタの電極膜は、Ptなどの酸化されない白金族金属や、Ir、Ru、Osなどの酸化されても導電性を示す金属より構成されるため、酸化物誘電体の成膜が、酸化雰囲気中で行われることは問題とはならない。問題となるのは、成膜中に酸素が電極膜を浸透、拡散するため、電極膜と結線されている多結晶Siよりなるコンタクトプラグや、TiNなどのバリア層が酸化されることである。多結晶Siよりなるコンタクトプラグや、バリア層が酸化されると、電極部での抵抗の増大や密着性の低下が引き起こされ、製造された強誘電体キャパシタが要求性能を満たさない、歩留まりが悪いなどの困難をきたしていた。たとえば、K. Kusida-Abdelghafarらは、1998年、J. Mater. Res. 誌、13巻、3265頁に、下地Si上にTiNよりなるバリア層を設け、その上下部電極膜として柱状構造のPt結晶膜を成膜した場合、PZTの薄膜形成中に、酸素が下部電極膜を構成する柱状構造Pt結晶の粒界を介してTiN膜の表面を拡散し、Ptとの間に $TiO_2$ が形成されることを報告した。

【0008】酸素が下部電極膜を容易に透過する原因は、これまでの公知の方法で作製された電極膜が、柱状

構造の結晶粒界より構成されているためである。柱状構造の結晶粒界では、結晶粒径が大きく、結晶粒界が電流の導通方向に沿って存在するため、導電性は良好であるが、同時に酸素の透過性も高く、酸素バリア性が低い。

【0009】電極膜の酸素バリア性の向上策として、松井らは、1997年、第44回応用物理学会関係連合講演会講演予稿集、第2巻、437頁において、それまで形成が困難であった塊状構造のPt結晶を用いて電極膜を形成する方法を開示し、柱状構造の場合に比べて酸素バリア性が向上することを報告した。しかしながら、塊状構造は微結晶粒から成るために、柱状構造と比較して酸素バリア性は高いものの、抵抗率も高くなり、導通不良を引き起こしていた。さらに、酸化物誘電体薄膜の結晶性は接触している電極膜の結晶性に影響されるため、電極膜として、柱状構造に比べて結晶性が劣る塊状構造のPtを用いた場合、酸化物誘電体薄膜の結晶性も悪化し、結果として比誘電率の低下や残留分極の減少などが引き起こされていた。

【0010】第二の課題は、酸化物誘電体薄膜とコンタクトプラグやバリア膜の間で、電極膜を介した酸素を含む構成物質の相互拡散が起こり、各膜間での接合面で導通不良や密着不良が生じることである。この課題は、酸化物誘電体の成膜工程時に困難を引き起こすに限らず、経時的な困難、たとえば、強誘電体キャパシタの寿命を短くし、信頼性の低下を招く。すなわち、強誘電体キャパシタ製造後に、電極膜を介して、酸素を含む構成物質の相互拡散が徐々に起こり、各膜間での接合面で導通不良や剥離が生じる。電極膜として上述と同じく柱状構造のPt結晶を用いた場合、電流の十分な導通性は確保されるものの、柱状結晶の粒界を介して物質移動が比較的容易に生じる。一方、塊状構造の結晶からなる電極膜の場合は、バリア性は高いものの、電流の導通性は低く、実用的ではなかった。

【0011】第三の課題は、酸化物誘電体材料を用い強誘電体メモリを形成した場合、書き換え回数性が十分ではないことである。酸化物誘電体材料は、分極反転を繰り返すことにより残留分極が減少する、いわゆる疲労特性を有している。疲労特性を引き起こす主要な原因は、電極膜を構成する金属の酸化物誘電体薄膜中への拡散、酸化物誘電体薄膜中での結晶粒界を介したリーク電流、酸化物誘電体薄膜の格子内酸素原子（酸素空孔）の分散である。これらの原因は、酸化物誘電体薄膜の結晶性が改良されれば解決される。すなわち、酸化物誘電体薄膜の結晶性が十分高ければ、欠損部位や非晶部位がなく、結晶の充填性が高いために、結晶粒界も小さく、このため、酸化物誘電体薄膜中への物質拡散、リーク電流、酸素空孔の発生が抑制される。強誘電体メモリの実用のためには、分極反転の繰り返しによる残留分極の減少を抑制し、書き換え回数性能を改良することが必須である。

【0012】本発明は上記の事情に鑑みてなされたもの

10

20

30

40

50

であり、電極膜を、柱状構造と塊状構造の結晶粒層を含む結晶粒多層構造とし、電極膜として新たな金属材料を検討するに比して、簡便で汎用的な製造法により、①良好な酸素バリア性と良好な電流導通性が両立された電極膜を具備する強誘電体キャパシタを装備し、②該強誘電体キャパシタは、長期間性能の低下をきたさず、③高い書き換え性能を有する強誘電体メモリを装備する半導体装置を提供することを目的とする。

【0013】更に本発明の目的は、バリア膜自身の耐酸化性を向上させることにより、電極部での抵抗の増大や密着性の低下を抑制しようとするものである。

【0014】

【課題を解決するための手段】上記課題を解決する本発明によれば、酸化物誘電体薄膜および該酸化物誘電体薄膜を挟持する一対の電極膜からなる薄膜キャパシタを備える半導体装置であって、前記一対の電極膜の少なくとも一方が、柱状構造の結晶粒層および塊状構造の結晶粒層を含む結晶粒積層構造よりなることを特徴とする半導体装置が提供される。

【0015】また本発明によれば、酸化物誘電体薄膜および該酸化物誘電体薄膜を挟持する一対の電極膜からなる薄膜キャパシタと、該電極膜の少なくとも一方に接続されるコンタクトプラグと、該電極膜および該コンタクトプラグの間に形成されたバリア層とを備える半導体装置であって、前記バリア層は10atm%以上50atm%以下の窒素を含む窒化タンタルよりなる塊状構造の結晶粒層であることを特徴とする半導体装置が提供される。

【0016】ここで、結晶粒層とは、結晶粒形が同一の結晶粒が集合してなる層を言う。結晶粒形とは、金属系材料が多結晶より形成されている場合、その多結晶を構成する個々の結晶（結晶粒）の形状を意味しており、柱状や塊状がある。柱状構造とは、JIS番号H0211にて規定されているとおり、基板に対して柱状の結晶が成長した薄膜の構造を意味している。図3に柱状構造の模式図を例示するが、本発明はこれに限定されるものではない。塊状構造とは、基板に対して塊状の結晶が成長した薄膜の構造を意味しており、図4に塊状構造の模式図を例示するが、本発明はこれに限定されるものではない。実際の結晶粒層の状態や結晶粒形は、走査電子顕微鏡（SEM）を用いた観察などにより確認できる。

【0017】また本発明によれば、半導体基板上に形成されたMOS型トランジスタと、前記MOS型トランジスタ上に形成された層間絶縁膜と、前記層間絶縁膜中に設けられ、前記MOS型トランジスタに含まれる拡散層と接続するコンタクトプラグと、前記コンタクトプラグ上に形成された下部電極膜と、前記下部電極膜上に形成された酸化物誘電体薄膜と、前記酸化物誘電体薄膜上に形成された上部電極膜とを備える半導体装置であって、前記下部電極膜は、柱状構造の結晶粒層および塊状構造

の結晶粒層を含む結晶粒積層構造よりなることを特徴とする半導体装置が提供される。

【0018】また本発明によれば、半導体基板上に形成されたMOS型トランジスタと、前記MOS型トランジスタ上に形成された層間絶縁膜と、前記層間絶縁膜中に設けられ、前記MOS型トランジスタに含まれる拡散層と接続するコンタクトプラグと、前記コンタクトプラグ上に形成されたバリア層と、前記バリア層上に形成された下部電極膜と、前記下部電極膜上に形成された酸化物誘電体薄膜と、前記酸化物誘電体薄膜上に形成された上部電極膜とを備える半導体装置であって、前記バリア層は10atm%以上50atm%以下の窒素を含む窒化タンタルよりなる塊状構造の結晶粒層であることを特徴とする半導体装置が提供される。

【0019】ここで、コンタクトプラグとしては、たとえば、半導体基板上に形成されたMOS型トランジスタと、このトランジスタ上に形成された層間絶縁膜と、この層間絶縁膜に前記MOS型トランジスタの拡散層に達するように開口された部分を埋めている多結晶Siよりなるコンタクトプラグなどが例示される。コンタクトプラグとしては、多結晶Siが多用されるが、タングステン（W）、タングステンシリサイド（ $WSi_x$ ）、チタンシリサイド（ $TiSi_x$ ）なども用いられる。

【0020】本発明においては、前記下部電極膜と前記コンタクトプラグの間に、バリア層が形成されていても構わない。バリア層は半導体基板、電極膜、酸化物誘電体薄膜などの膜間での物質の相互拡散を防いだり、膜間の密着性を改良するために使用され、 $TiN$ や $TiSi_2$ などが好適である。バリア層の構造は、単層、多層のいずれでも構わない。

【0021】また、本発明においては、前記結晶粒積層構造に含まれる、前記酸化物誘電体薄膜と接する結晶粒層は、柱状構造であることが好ましいが、本発明はこれに限定されるものではない。本発明による電極膜の結晶粒積層構造としては、酸化物誘電体薄膜と接する側から記載して、柱状/塊状、塊状/柱状、柱状/塊状/柱状、塊状/柱状/塊状、そしてさらに多数の結晶粒層より構成される例が挙げられる。

【0022】上記課題を解決する本発明によれば、柱状構造の結晶粒層および塊状構造の結晶粒層を含む、結晶粒積層構造よりなる電極膜を形成するにあたって、柱状構造の結晶粒層を、スパッタリング法またはCVD（Chemical Vapor Deposition）法により作成する工程と、塊状構造の結晶粒層を、スパッタリング法またはCVD法により作成する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0023】ここで、本発明における、スパッタリング法による結晶粒層の作成方法とは、具体的に以下のとおりである。すなわち、半導体基板に対向してターゲットを置き、Arガス雰囲気下で半導体基板とターゲット間



に高周波をかけて放電を起こし、薄膜を構成する物質を半導体基板上に堆積する。その後、加熱およびアニールすることにより堆積物を結晶化して、所定の結晶粒形と結晶粒径の電極膜に成膜する。反応性スパッタリング法の場合は、Arガスに窒素ガスなどの薄膜を構成する成分を混入させ、堆積物にガス成分を取り込ませる場合もある。たとえば、窒化タンタル製の電極膜の場合である。使用されるターゲットの種類、Arガスの圧力、高周波の周波数、放電温度、そして成膜温度などの諸条件は、形成すべき結晶粒形と結晶粒径の種類によって最適化される。

【0024】本発明における、CVD法による結晶粒層の作成方法とは、具体的に以下のとおりである。すなわち、薄膜を構成する物質と揮発性の高い物質との混合物、特にトリメチル、トリイソブチルやジメチルハライドと金属から構成される有機金属化合物を半導体基板上に吸着させ、その後、該揮発性物質を除去する。揮発性物質の除去と結晶化は、加熱条件下で、半導体基板表面での反応を利用して行われるため、半導体基板に吸着した原子が表面移動し、段差被膜性に優れた成膜が行える。使用される有機金属化合物の種類や成膜温度などの諸条件は、形成すべき結晶粒形と結晶粒径の種類によって最適化される。

【0025】柱状構造または塊状構造よりなる単一の結晶粒層の電極膜の製造方法は、いずれも既に公知であるが、柱状構造に比べて塊状構造の結晶粒層の形成は、至適条件の範囲が狭いなどの理由により、比較的困難であった。複数の結晶粒層から構成される結晶粒多層構造の電極膜の形成は、さらに至適条件の範囲が狭く、これまで製造が困難であったが、前記のように、製造条件を厳密に制御することにより、製造が可能となった。

【0026】本発明においては、柱状構造の結晶粒層および塊状構造の結晶粒層を含む結晶粒積層構造を電極膜に採用することにより、既に述べた課題が、以下の効果により解決される。

【0027】第一に、酸化物誘電体の成膜が、酸化雰囲気中で行われるために、柱状構造の結晶粒層よりなる電極膜を、成膜中に酸素が拡散し、電極膜と結線されているコンタクトプラグや、TiNなどのバリア層が酸化される課題が解決される。すなわち、結晶粒積層構造よりなる電極膜において、塊状構造の結晶粒形の結晶粒層が存在すると、塊状構造の結晶粒界、すなわち結晶粒と結晶粒の境界を浸透する酸素の拡散速度が極めて遅いため、酸素は電極膜を通過しない。しかしながら、塊状構造は微結晶粒から成るために、酸素バリア性は高いものの、抵抗率も高くなり、導通不良を引き起こす。一方、柱状構造の結晶粒形の結晶粒層では、結晶粒径が大きく、電流の導通方向に沿って結晶粒界が存在するため、抵抗率は低く導電性は良好である。そこで、これらの異なる結晶粒形からなる結晶粒層を積層して電極膜を作製

することにより、実用に耐えうる酸素バリア性と導電性が実現できる。

【0028】いかなる結晶粒形の結晶粒層を、どのような順番で何層積層するかは、必要とされる電極膜の性能と生産性によって決定される。電極膜の結晶粒積層構造を制御することにより、電極膜の構成材料を新規に開発するに比して、簡便で汎用性のある方法により、実用に耐えうる酸素バリア性と導電性の両立された電極膜が提供される。この結果、酸化物誘電体の成膜中に、コンタクトプラグやバリア層が酸化されることがなく、電極部での抵抗は増大せず、電極膜の密着性も良好である。

【0029】第二に、酸化物誘電体薄膜を形成したのちに、電極膜を介して、酸化物誘電体薄膜とコンタクトプラグやバリア膜の間で、酸素を含む構成物質の相互拡散が起こり、各膜間での接合面で導通不良や剥離が生じるといった経時的課題が解決される。すなわち、結晶粒積層構造よりなる電極膜において、塊状構造の結晶粒形の結晶粒層が存在すると、酸素をはじめとする物質の拡散が防止され、酸素をはじめとする物質は電極膜を通過しない。一方、柱状構造の結晶粒形の結晶粒層では、物質のバリア性は低いものの、導電性は良好である。実用に耐えうる物質のバリア性と導電性の両立が可能となる電極膜の開発を、その構成材料を新規に探索することからはじめたのでは、相当量の経費や時間を必要とする。これに対し、柱状構造と塊状構造の結晶粒層を含む結晶粒積層構造の電極膜を作製することにより、現在使用されている材料を用いた場合においても、バリア性と導電性の両立が可能である。その結果、酸化物誘電体の成膜工程時にコンタクトプラグやバリア層が酸化される課題が解決されるのみならず、経時的な課題、たとえば、強誘電体メモリの書き換え回数性が十分ではないといった課題が解決される。

【0030】第三には、酸化物誘電体材料の疲労特性が改良される。疲労特性を引き起こす主要な原因は、電極膜を構成する金属の酸化物誘電体薄膜中への拡散、酸化物誘電体薄膜中での結晶粒界を介したリーク電流、酸化物誘電体薄膜の格子内酸素原子（酸素空孔）の分散である。これらの原因は、酸化物誘電体薄膜の結晶性が改良されれば解決されるが、このことは、以下のように実現できる。すなわち、酸化物誘電体薄膜の結晶性は接触している電極膜の結晶性に影響される。したがって、酸化物誘電体薄膜に接触している電極膜の結晶粒層の結晶粒形や結晶粒径を制御し、該結晶粒層を高結晶化することにより、酸化物誘電体薄膜の結晶性を改良できる。一般的に柱状構造の結晶粒層の方が塊状構造の結晶粒層に比べて結晶性が優れているため、必要に応じて酸化物誘電体薄膜に接する結晶粒層の構造を柱状構造とすればよい。そして、次結晶粒層を塊状構造とすることにより、物質のバリア性を実現する。このように、電極膜を複数の結晶粒層から構成される結晶粒多層構造とし、該結晶



粒多層構造を制御することにより、結晶性、導電性、物質のバリア性といった電極膜に要求される性能をすべて満たすことができる。第4には、バリア層自身の耐酸化性が向上される。すなわち、バリア層を10atm%以上、好ましくは15atm%以上、更に好ましくは20atm%以上、50atm%以下、好ましくは45atm%以下、更に好ましくは36atm%以下の窒素を含む窒化タンタルよりなる塊状構造の結晶粒層より形成することにより、耐酸化性が向上する。

【0031】更に、上記バリア層上に電極膜を形成した場合、電極膜を構成する結晶粒のc軸配向性が向上し、酸素が透過する経路の数が減少する。このため、電極膜の酸素バリア性が更に向上し、バリア層の酸化がより一層抑制される。また、c軸配向性が向上された電極膜上に形成される酸化物誘電体は、結晶性が更に改善されているため、得られるFeRAMの疲労特性は更に改良され、得られるDRAMは更に大容量化される。

【0032】

【発明の実施の形態】結晶粒の大きさは結晶粒径によって示され、柱状構造の場合はその柱の底面に外接する円の直径であり、塊状構造の場合は塊全体に外接する球の直径である。結晶粒径に分布がある場合は、平均粒径によって結晶粒の大きさを表す。

【0033】本発明においては、前記柱状構造の結晶粒層を構成する結晶粒の平均粒径が、10nm以上500nm以下であることが望ましい。柱状構造の導電性は結晶粒径に依存するため、結晶粒径は大きいほど好ましく、また、結晶粒径が大きい方が結晶粒の結晶性が高いので、特に柱状構造の結晶粒層が酸化物誘電体薄膜に接している場合、酸化物誘電体薄膜の結晶性も高くなり、酸化物誘電体薄膜の経時による疲労が抑制される。したがって、柱状構造の結晶粒径の下限としては、10nm以上が好ましく、さらに20nm以上、もっとも好ましくは30nm以上である。一方、製造技術の限界から、実際にはいくらでも大きい結晶粒径の柱状構造が好ましいのではなく、上限としては、500nm以下、好ましくは400nm以下、もっとも好ましくは300nm以下である。また、電極膜の要求性能と製造コストの観点から、必要に応じて結晶粒層の層厚の下限は、10nm以上、好ましくは20nm以上、さらに好ましくは30nm以上に、また上限は500nm以下、好ましくは400nm、さらに好ましくは300nm以下とされる。

【0034】さらに本発明においては、前記塊状構造の結晶粒層を構成する結晶粒の平均粒径が、1nm以上30nm以下であることが望ましい。柱状構造と比較して、塊状構造は一般に微結晶であるが、あまり結晶粒径が小さいと、アモルファス（非晶）状態となり導電性が損なわれる。したがって、塊状構造の結晶粒径の下限は、1nm以上が好ましく、2nm以上、もっとも好ましくは3nm以上である。一方、塊状構造の結晶粒径が

あまり大きいと、表面平坦性が失われ、上層との密着性が不良となる。したがって、上限としては、30nm以下、好ましくは25nm以下、もっとも好ましくは20nm以下である。また、電極膜の要求性能と製造コストの観点から、必要に応じて結晶粒層の層厚の下限は結晶粒径と等しく、また上限は500nm以下、好ましくは400nm、さらに好ましくは300nm以下とされる。

【0035】実際の結晶粒径や結晶粒層の厚みは、SEMを用いた観察などにより確認できる。平均粒径は、得られたSEM像に画像解析を施すことにより求めることができる。

【0036】本発明において使用される酸化物誘電体薄膜は、ペロブスカイト系酸化物または酸化タンタルからなることが好ましい。また、本発明において使用される酸化物誘電体薄膜は、単金属酸化物または $ABO_3$ 型ペロブスカイト系酸化物から構成されても構わない。単金属酸化物としては $Ta_2O_5$ などが例示されるが、これに限定されるものではない。 $ABO_3$ 型ペロブスカイト系酸化物においては、AはBa、Sr、Pb、La、2価金属のうちより選ばれた一種以上を、BはTi、Zr、4価金属のうちより選ばれた一種以上を、たとえば、 $SrTiO_3$ 、 $Ba_{1-x}Sr_xTiO_3$  (BST)、 $PbZr_{1-x}Ti_xO_3$  (PZT)、 $Pb_{1-y}La_yZr_{1-x}Ti_xO_3$  (PLZT)、そして $SrBi_2Ta_2O_9$ などが好適に使用される。なぜなら、これらの酸化物誘電体はペロブスカイト型の結晶構造をとるため、高い比誘電率を有するからである。また、本発明において使用される酸化物誘電体薄膜は、 $ABO_3$ 型ペロブスカイト系酸化物、 $Ta_2O_5$ 、 $SrBi_2Ta_2O_9$ 、または $Bi_4Ti_3O_{12}$ から選ばれてもよい。

【0037】本発明において使用される電極膜は、非酸化性金属、酸化されても導電性を示す金属、該金属の合金、または該金属を含む化合物からなることができる。非酸化性金属とは酸化物を形成することが不可能な金属のことで、たとえばPtなどの白金族金属が好適に使用される。酸化されても導電性を示す金属としては、Ir、Ru、Osなどが好適に使用される。なぜなら、これらの非酸化性金属や、酸化されても導電性を示す金属は、本発明で開示される製造方法により、結晶粒形や結晶粒径を制御することができ、必要な性能を有する電極膜の製造に好適だからである。

【0038】また必要に応じて、電極膜をWより構成することもできる。

【0039】更に必要に応じて、電極膜を導電性ペロブスカイト系酸化物より構成することもできる。導電性ペロブスカイト系酸化物としては、 $SrRuO_3$ 及び $BaRuO_3$ などが好ましい。

【0040】また本発明において使用される前記電極膜の少なくとも一方は、窒化タンタルからなることができ

る。また、前記電極膜用の材料として窒化タンタルを用い、反応性スパッタリング法により、塊状構造の結晶粒層を形成することができる。反応性スパッタリング法により成膜された窒化タンタル薄膜の結晶粒形は塊状である。塊状構造の結晶粒層の製造は、これまで比較的困難であったが、窒化タンタルからなる薄膜を反応性スパッタリング法を用いて形成することにより、塊状構造の結晶粒層が簡単に製造できる。

【0041】更に、バリア層の作用をより確実にするために、バリア層を補助する膜が形成される場合もある。例えば、コンタクトプラグおよびバリア層の間に、シリサイド膜が形成される場合がある。シリサイド膜としてはTiSi<sub>2</sub>やTaSi<sub>2</sub>などを例示できるが、バリア層が窒化タンタルの場合、製造をより簡便にするため、TaSi<sub>2</sub>を用いることができる。

【0042】また、コンタクトプラグ部の密着性を更に向上するために、コンタクトプラグを、層間絶縁膜中に設けられ拡散層に達するコンタクトホール内に埋め込む場合もある。

【0043】また、窒化タンタルの塊状構造の結晶粒層よりなるバリア層は、ArおよびN<sub>2</sub>を含む混合ガスを用いて反応性スパッタリング法により形成することができる。得られるバリア層の窒素含有量は、例えば反応性スパッタリング法において、N<sub>2</sub>分圧を所定の値とすることにより制御可能である。なお、バリア層中の実際の窒素含有量は、例えばRBS分析（ラザホード後方散乱分析）により決定できる。

【0044】

【実施例】（実施例1）本発明の半導体装置の実施を、FeRAMを用いて、図1に例示する。MOS型トランジスタを形成したSi半導体基板1上に熱酸化したSiO<sub>2</sub>層間絶縁膜2（600nm）を形成し、この層間絶縁膜にMOSトランジスタの拡散層（図には示していない）に到る開口部を設け、その開口部を多結晶Siコンタクトプラグ3で埋めた。このコンタクトプラグ上にバリア層として、TiSi<sub>2</sub>層4（30nm）、TiN層5（50nm）を順次積層した。

【0045】この上に、下部電極膜を構成する塊状構造の結晶粒層として、約5nmの結晶粒径を有するPt層6を、30nmの厚みに形成した。形成方法はスパッタリング法を用いた。この上に、下部電極膜を構成する柱状構造の結晶粒層として、約100nmの結晶粒径を有するPt層7を100nm堆積した。形成方法はスパッタリング法により成膜は400℃の温度で行った。この上に酸化物誘電体薄膜としてPZT層8をスパッタリング法を用いて200nm積層した。成膜温度は600℃である。その後、上部電極膜としてPt層9を50nm積層し、さらにフォトリソグラフィによりパターニングを行い、FeRAMを構成する薄膜キャパシタを形成した。

【0046】この半導体装置におけるMOS型トランジスタと、Pt製結晶粒積層構造から成る下部電極膜の抵抗は十分に低く、安定な動作性が確認された。同時に下部電極膜の密着性も良好であった。また、酸化物誘電体薄膜の疲労特性は良好で、長時間使用後も性能の低下は認められなかった。

【0047】（実施例2）半導体装置の実施例を、DRAMを用いて図2に説明する。MOS型トランジスタをあらかじめ形成したSi半導体基板1上に層間絶縁膜としてSiO<sub>2</sub>層2（600nm）を形成し、この層間絶縁膜にMOS型トランジスタの拡散層（図には示していない）に到る開口部を設け、その開口部に多結晶Siコンタクトプラグ3を設けた。このコンタクトプラグ上にTiSiよりなるバリア層4（30nm）を積層した。この上に下部電極膜を構成する塊状構造の結晶粒層10として、約5nmの結晶粒径を有する窒化タンタルを20nmの厚みに形成した。形成方法は窒素とアルゴンの混合ガス雰囲気における反応性スパッタリング法によった。この上に下部電極膜を構成する柱状構造の結晶粒層として、約100nmの結晶粒径を有するRu層11（100nm）を形成した。形成方法はスパッタリング法により成膜温度は500℃、DCパワーは1.7kW、成膜圧力は10mTorrであった。

【0048】Ru/窒化タンタル/TiSi<sub>2</sub>構造はフォトリソグラフィにより、パターニング（幅0.2μm）を行い、プラズマエッチングにより、図2のような立体構造のスタック電極に加工した。

【0049】このウエハ上に酸化物誘電体薄膜としてBST層12を電子サイクロトロン共鳴プラズマCVD法を用いて成膜温度500℃でRu膜上に堆積した（ステップカバレッジが約40%であることから、電極側壁には30nm程度のBSTが積層される）。成膜原料にはビスジピロイルメタン酸バリウム、ビスジピロイルメタン酸ストロンチウム、イソプロピルオキサリドチタンを用いた。（バリウム+ストロンチウム）/チタンは0.97、バリウム/（バリウム+ストロンチウム）は0.5となるように原料供給量を調整した。その後スパッタリング法により上部電極膜Ru13を50nm積層し、本発明のDRAMを構成する薄膜キャパシタを完成した。

【0050】この半導体装置におけるMOS型トランジスタと、Ruと窒化タンタルの結晶粒積層構造から成る下部電極膜間の抵抗は十分に低く、安定なDRAM動作が確認された。同時に下部電極の密着性も良好で、これらの良好な状態は長時間後も保持された。

【0051】以上の実施例より、公知の金属材料であるPt、Ru、窒化タンタルを用いて、異なる結晶粒形の結晶粒層が積層された電極膜を作製することにより、バリア性と導電性の両立が実現できることが示された。さらに、柱状構造の結晶粒層が酸化物誘電体薄膜に接する

ことにより、酸化物誘電体薄膜の疲労特性がより効果的に改良されることも判った。

【0052】(実施例3) 本発明の半導体装置の実施を、FeRAMを用いて、図5に例示する。MOS型トランジスタを形成したSi半導体基板100上に熱酸化したSiO<sub>2</sub>層間絶縁膜200(600nm)を形成し、この層間絶縁膜にMOSTランジスタの拡散層(図には示していない)に到る開口部を設け、その開口部に多結晶Siコンタクトプラグ300で埋めた。

【0053】このコンタクトプラグ上に窒素含有量が30atm%の窒化タンタルからなるバリア層500(50nm)を成膜した。成膜はArとN<sub>2</sub>の混合ガスを用いて、反応性スパッタリング法により行った。成膜条件は、基板温度:200℃、DCパワー:4kW、成膜圧力:0.3Pa、N<sub>2</sub>分圧:40%とした。図9に示したとおり、N<sub>2</sub>分圧を40%とすることにより、窒素含有量が30atm%の窒化タンタル膜を形成することができ、結晶粒層をSEMにより観察すると、5nmの結晶粒径を有する塊状構造を確認することができた。

【0054】この上に、下部電極膜を構成する柱状構造の結晶粒層として、約100nmの結晶粒径を有するPt層700を、200nmの厚みに形成した。形成方法はスパッタリング法を用いた。この上に酸化物誘電体薄膜としてPZT層800をスパッタリング法を用いて200nm積層した。成膜温度は600℃である。その後、上部電極膜としてPt層900を50nm積層し、さらにフォトリソグラフィによりパターニングを行い、FeRAMを構成する薄膜キャパシタを形成した。

【0055】この半導体装置におけるMOS型トランジスタと、バリア層および下部電極膜間の抵抗は十分に低く、安定な動作性が確認された。同時に、バリア層および下部電極膜間の密着性も良好であった。

【0056】(実施例4) 半導体装置の実施例を、DRAMを用いて図6に説明する。MOS型トランジスタをあらかじめ形成したSi半導体基板100上に層間絶縁膜としてSiO<sub>2</sub>層200(600nm)を形成し、この層間絶縁膜にMOS型トランジスタの拡散層(図には示していない)に到る開口部を設け、その開口部に多結晶Siコンタクトプラグ300を設けた。

【0057】このコンタクトプラグ上に窒素含有量が30atm%の窒化タンタルからなるバリア層400(50nm)を成膜した。成膜はArとN<sub>2</sub>の混合ガスを用いて、反応性スパッタリング法により行った。成膜条件は、基板温度:200℃、DCパワー:4kW、成膜圧力:0.3Pa、N<sub>2</sub>分圧:40%とした。図9に示したとおり、N<sub>2</sub>分圧を40%とすることにより、窒素含有量が30atm%の窒化タンタル膜を形成することができ、結晶粒層をSEMにより観察すると、5nmの結晶粒径を有する塊状構造を確認することができた。

【0058】この上に下部電極膜を構成する柱状構造の

結晶粒層として、約100nmの結晶粒径を有するRu層110(100nm)を形成した。形成方法はスパッタリング法により成膜温度は500℃、DCパワーは1.7kW、成膜圧力は1.5Paであった。

【0059】Ru/窒化タンタル構造はフォトリソグラフィにより、パターニング(幅0.2μm)を行い、プラズマエッチングにより、図6のような立体構造のスタック電極に加工した。

【0060】このウエハ上に酸化物誘電体薄膜としてBST層120を電子サイクロトロン共鳴プラズマCVD法を用いて成膜温度500℃でRu膜上に堆積した(ステップカバレッジが約40%であることから、電極側壁には30nm程度のBSTが積層される)。成膜原料にはビスジヒパロイルメタン酸バリウム、ビスジヒパロイルメタン酸ストロンチウム、イソプロピルオキサリドチタンを用いた。(バリウム+ストロンチウム)/チタンは0.97、バリウム/(バリウム+ストロンチウム)は0.5となるように原料供給量を調整した。その後スパッタリング法により上部電極膜Ru130を50nm積層し、本発明のDRAMを構成する薄膜キャパシタを完成した。

【0061】この半導体装置においては、バリア層および下部電極膜間の抵抗は十分に低く、安定な動作性が確認された。同時に、バリア層および下部電極膜間の密着性も良好であった。

【0062】(実験例1) バリア層を構成する窒化タンタル中の窒素含有量を変化させ、下部電極膜として120nmのRu膜、ならびに酸化物誘電体薄膜としてBST層の成膜温度を500℃および550℃と変化させたこと以外は実施例4と同様にして、バリア層(窒化タンタル)/下部電極膜(Ru)/酸化物誘電体薄膜(BST)の構造を作製した。

【0063】その後、パーキンエルマー社製PHI-660を用いてAES(オージェ電子分光)深さ方向分析によりバリア層の酸素存在量を測定した。測定された酸素存在量は、Ruからの吸収強度などを考慮して規格化され、結果を図7に示した。●および■はBST層の成膜温度が500℃および550℃の場合の結果を、それぞれ示している。これより、窒素含有量が10atm%以上50atm%以下の場合、窒化タンタル中の酸素存在量が減少していること、すなわちバリア層の酸化が抑制されていることが判る。

【0064】更に、BST層の成膜温度450℃、500℃および550℃と変化させて、バリア層(窒化タンタル)/下部電極膜(Ru)/酸化物誘電体薄膜(BST)の構造を作製し、バリア層および下部電極膜間での剥離試験(ヒーリング試験)を行った。結果を表1に示した。これより、窒素含有量が10atm%以上50atm%以下の場合、耐剥離性が向上していることが判る。

【0065】

\* \* 【表1】

窒素含有量 (atm%)	BST層成膜温度 450℃	BST層成膜温度 500℃	BST層成膜温度 550℃
0	剥離なし	剥離あり	剥離あり
5	剥離なし	剥離あり	剥離あり
12	剥離なし	剥離なし	剥離あり
20	剥離なし	剥離なし	剥離なし
30	剥離なし	剥離なし	剥離なし
42	剥離なし	剥離なし	剥離あり
55	剥離なし	剥離あり	剥離あり
86	剥離なし	剥離あり	剥離あり

バリア層の窒素含有量は、例えば反応性スパッタリング法において、 $N_2$ 分圧を所定の値とすることにより制御可能である。 $N_2$ 分圧と得られるバリア層の窒素含有量との関係の一例を、図9に示した。なお、バリア層中の実際の窒素含有量はRBS分析により決定した。RBS分析装置は加速器と検出器から構成されており、用いた

加速器はNEC社製タンデム加速器ペレトロン型1MVであり、検出器はチャールズエバンス&アソシエイツ社製RBSエンドステーションRBS-400である。

【0066】(実験例2)バリア層を構成する窒化タンタル中の窒素含有量を変化させ、下部電極膜として120nmのRu層を形成し、成膜温度550℃で酸化物誘電体薄膜としてのBST層を成膜して、バリア層(窒化タンタル)/下部電極膜(Ru)/酸化物誘電体薄膜(BST)の構造を作製した。

【0067】その後、理学社製RAD-3Cを用いてX線回折測定によりRuの(002)回折強度を測定した。測定された回折強度は、入射ビーム強度などを考慮して規格化され、図8に結果を示した。Ruのc軸配向性は(002)回折強度に反映されており、バリア層中の窒素含有量によりc軸配向性が変化していることが図8より判る。特に窒素含有量が20atm%以上36atm%以下の場合、Ru膜のc軸配向性が高い。この時、Ru電極膜の酸素バリア性は良好で、BSTの疲労特性も改良された。

【0068】

【発明の効果】以上に説明したように本発明の半導体装置においては、電極膜を結晶粒多層構造とすることにより、電極膜の新たな構成材料を検討するに比して、簡便で汎用的な製造法により、該電極膜において、良好な物質のバリア性、良好な電流導通性、高結晶性が達成され、その結果、該強誘電体キャパシタは良好な作動性を示し、長期間後も性能の低下をきたさず、高い書き換え性能を有する強誘電体メモリを装備する半導体装置が得られる。

【0069】また、バリア層を10atm%以上50atm%以下の窒素を含む窒化タンタルよりなる塊状構造※50

※の結晶粒層とすることにより、バリア層の耐酸化性が向上され、バリア層の高抵抗化や剥離が防止される。

【図面の簡単な説明】

【図1】本発明の実施例1を示す概略断面図である。

【図2】本発明の実施例2を示す概略断面図である。

【図3】柱状構造を示す模式図の例である。

【図4】塊状構造を示す模式図の例である。

【図5】本発明の実施例3を示す概略断面図である。

【図6】本発明の実施例4を示す概略断面図である。

【図7】本発明におけるバリア層の窒素含有量と酸素存在量の関係を示す図である。

【図8】本発明におけるバリア層の窒素含有量と下部電極膜を構成するRuの回折強度との関係を示す図である。

【図9】本発明におけるバリア層を形成する際の窒素分圧と窒素含有量との関係を示す図である。

【符号の説明】

- 1 半導体基板(Si)
- 2 層間絶縁膜( $SiO_2$ )
- 3 コンタクトプラグ(多結晶Si)
- 4 バリア層( $TiSi_2$ )
- 5 バリア層( $TiN$ )
- 6 下部電極膜を構成する塊状構造の結晶粒層(Pt)
- 7 下部電極膜を構成する柱状構造の結晶粒層(Pt)
- 8 酸化物誘電体薄膜(PZT)
- 9 上部電極膜(Pt)
- 10 下部電極膜を構成する塊状構造の結晶粒層(窒化タンタル)
- 11 下部電極膜を構成する柱状構造の結晶粒層(Ru)
- 12 酸化物誘電体薄膜(BST)
- 13 上部電極膜(Ru)
- 14 基板
- 15 柱状構造の結晶粒
- 16 塊状構造の結晶粒
- 100 半導体基板(Si)
- 110 下部電極膜(Ru)

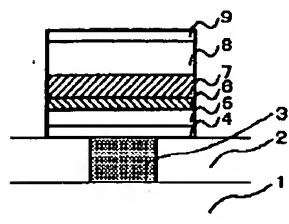
19

20

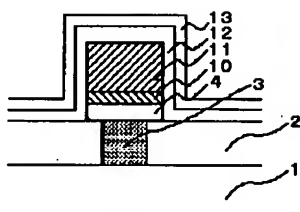
120 酸化物誘電体薄膜 (BST)  
 130 上部電極膜 (Ru)  
 200 層間絶縁膜 ( $\text{SiO}_2$ )  
 300 コンタクトプラグ (多結晶Si)  
 400 バリア層 (窒化タンタル)

500 バリア層 (窒化タンタル)  
 700 下部電極膜 (Pt)  
 800 酸化物誘電体薄膜 (PZT)  
 900 上部電極膜 (Pt)

【図1】



【図2】



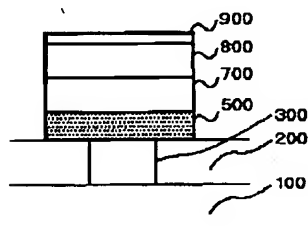
【図3】



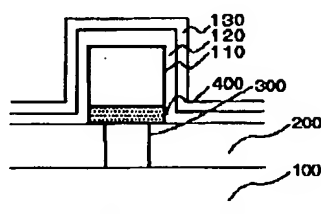
【図4】



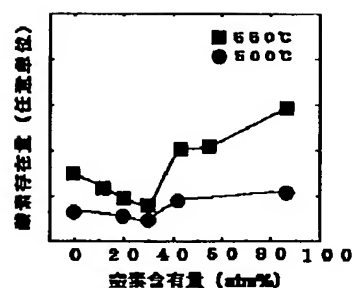
【図5】



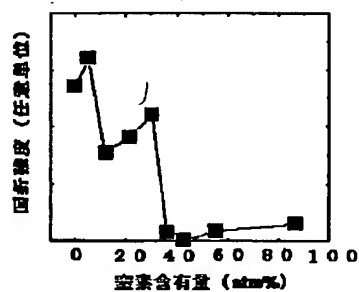
【図6】



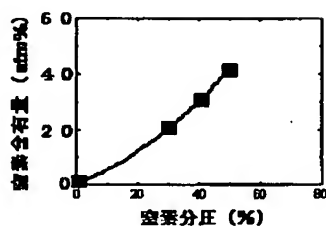
【図7】



【図8】



【図9】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

H01L 21/822  
 27/10

識別記号

451

FI

H01L 27/10

テマコード(参考)

651

Fターム(参考) 4K029 AA06 AA24 BA02 BA13 BA50  
BA52 BA58 BB02 BB07 BD01  
CA06  
4K030 BA01 BA17 BA18 BA22 BA38  
BA42 BA48 BB01 CA04 CA12  
LA01  
5F038 AC05 AC09 AC14 AC18 DF05  
EZ14  
5F083 AD42 AD49 FR02 GA21 GA25  
JA06 JA13 JA14 JA15 JA17  
JA35 JA38 JA39 JA40 JA45  
MA06 MA17 PR21 PR22